

TITRE DE LA THESE: Codage canal pour l'exploration du compromis fiabilité versus consommation d'énergie des mémoires dans les processeurs (ENERCODE)

Direction de thèse :Elsa Dupraz, François Leduc-Primeau

Co-encadrant·es : N/A

Laboratoire(s) :

GEPEA IRISA **Lab-STICC** LATIM
Lego LEMNA LS2N hors Laboratoire

Equipe(s) de recherche : CODES

Département(s) IMT Atlantique :

DAPI DSEE INFO ITI LCI LUSSI
MEE MO OPT SSG SRCD SUBATECH

S'agit-il d'une thèse en cotutelle internationale ?

Oui Non

Si oui, organisme avec lequel la cotutelle est envisagée : Polytechnique Montréal

Le sujet proposé présente-il un caractère interdisciplinaire ?

Oui Non

Si oui, expliquer brièvement pourquoi (2 ou 3 lignes) :

L'objectif de la thèse est d'utiliser des codes canal provenant du domaines des télécommunications pour diminuer la consommation d'énergie des mémoires dans un circuit. Il s'agit donc d'un sujet à l'interface entre le codage canal et la conception de circuits.

La source du co-financement est-elle identifiée ?

Oui Non

Si oui, préciser quel co-financement est envisagé : Polytechnique Montréal

Autres informations :

Informations utiles que vous souhaiteriez communiquer (si pertinent) :

Contexte ou état de l'art scientifique :

Décrire en 5 à 10 lignes le contexte de la thèse.

L'omniprésence de dispositifs mobiles contraints en énergie dans la vie moderne, combinée à l'augmentation de la puissance de calcul, souligne le besoin pour des techniques de réduction de l'énergie. Dans de nombreux circuits microélectroniques tels que les processeurs à usage général ou les processeurs d'inférence de réseaux neuronaux, les accès mémoire représentent une proportion importante de la consommation énergétique totale du système. De plus, dans de nombreuses applications, il est possible de relâcher la contrainte de fiabilité en tolérant la présence de bruit par exemple dans les poids d'un réseau de neurones, au prix d'une perte limitée de performance d'apprentissage.

L'optimisation du compromis entre la fiabilité du circuit et la consommation énergétique des mémoires est donc de grand intérêt.

Objectifs de la thèse :

Décrire en 10 à 15 lignes les résultats attendus.

Nous proposons d'appliquer la technique du codage de canal, utilisée en télécommunications pour transmettre de l'information sur des canaux non-fiables, au problème des mémoires sur-puce. L'intérêt est que cela permettra d'exploiter le compromis entre l'énergie et la fiabilité des opérations de calcul réalisées sur la puce, par exemple en réduisant la tension d'alimentation de la mémoire. Pour que cette solution soit viable, il faudra que le coût énergétique du stockage de la redondance pour le codage et du circuit de décodage soit inférieur au gain énergétique rendu possible par le relâchement de la contrainte de fiabilité. De plus, l'introduction d'un décodeur a un coût en latence pour les accès mémoire.

Nous proposons donc d'étudier un système complet comprenant une mémoire sur-puce, un décodeur et un processeur, du point de vue de l'énergie et de la latence.

Le premier objectif sera d'élaborer un modèle rigoureux pour l'optimisation de l'énergie totale d'un système comprenant la transmission ou le stockage d'informations et le décodage. Le deuxième objectif sera d'extraire des règles de conception permettant d'exploiter le compromis entre énergie et fiabilité dans les mémoires sur puce en fonction du budget de latence. Le dernier objectif sera d'évaluer l'impact de l'ajout de latence sur les accès mémoire dans un système de traitement d'information complet, et d'explorer des mécanismes pour absorber cette latence au niveau architectural, tels que l'exécution spéculative ou le chevauchement de fils d'exécution.

Compétences attendues du ou de la candidat·e :

Lister les principales compétences nécessaires pour ce sujet de thèse.

- Expérience en conception de circuits numériques
- Familiarité avec les techniques de codage canal
- Capacités d'analyse
- Capacités de présentation et de rédaction